DIALOG(R)File 347:JAPIO (c) 1999 JPO & JAPIO. All rts. reserv.

# Best Available Copy

02783724 \*\*Image available\*\*
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: **01-081324** [JP 1081324 A] PUBLISHED: March 27, 1989 (19890327)

INVENTOR(s): IMAI KEITAROU YAMABE KIKUO SHIOZAWA JUNICHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or

Corporation), JP (Japan)

APPL. NO.: 62-237326 [JP 87237326] FILED: September 24, 1987 (19870924)

INTL CLASS: [4] H01L-021/316; H01L-027/04; H01L-029/78 JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components) JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide

Semiconductors, MOS)

JOURNAL: Section: E, Section No. 786, Vol. 13, No. 304, Pg. 75, July

12, 1989 (19890712)

### **ABSTRACT**

PURPOSE: To reduce leak currents and to improve memory keeping characteristic by forming a polycrystalline silicon layer, thermally oxidizing it in an oxide atmosphere containing fluorine or compounds thereof, removing such thermally oxidized film by etching, and then forming a desired insulating film on the polycrystalline silicon layer.

CONSTITUTION: The surface of a polysilicon film 8 formed on an oxide film is characterized by irregularities 20 due to an infinity of crystal grains, in the interior of which crystal grains 21 are present. When oxidizing the polysilicon film 8 in oxygen containing NF(sub 3), large quantities of fluorine atoms 23, being entrapped by an oxide film formed on the polysilicon film 8, plasticity of the oxide film 22 increases while stresses are relieved. By this reaction, the surface of the n(sup +)-type polysilicon film 8 is smoothly oxidized. At the same time, fluorine atoms 23 are infiltrating into the n(sup +)-type polysilicon film 8 and combined with non-combined Si atoms which are present at the boundary of the crystal grains 21. As a result, doner type impurities in the n(sup +)-type polysilicon film 8 are no longer precipitated at the boundary of the crystal grains. According to the constitution, the characteristic of a capacitor oxide film to be later formed can be improved. By removing the oxide film 22 by etching afterwards, an excellent film can be obtained.

DIALOG(R) File 352:DERWENT WPI (c) 1999 Derwent Info Ltd. All rts. reserv.

## 007870048

WPI Acc No: 89-135160/198918

Mfg. semiconductor device - by forming polysilicon film on substrate, thermally forming oxide film, and then insulation film NoAbstract Dwg 0/2

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No Kind Date Applicat No Kind Date Main IPC Week

JP 1081324 A 19890327 JP 87237326 A 19870924

198918 B

Priority Applications (No Type Date): JP 87237326 A 19870924

Patent Details:

Patent Kind Lan Pg Filing Notes Application Patent

JP 1081324 A 24

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; FORMING; POLY;

SILICON; FILM; SUBSTRATE; THERMAL; FORMING; OXIDE; FILM; INSULATE; FILM;

NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/31; H01L-027/04;

H01L-029/78

File Segment: CPI; EPI

# 母公開特許公報(A) 昭64-81324

@Int_Cl.4		識別記号	庁内整理番号	<b>@公開</b>	昭和64年(1989)3月27日
H 01 L 2	1/316		6708-5F C-7514-5F		
	27/04 29/78	371	7514-5F	審査請求 未請求	発明の数 1 (全4頁)

**公**発明の名称 半導体装置の製造方法

**公出 頭 昭62(1987)9月24日** 

母 明 者 今 井 墓 太 郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究 所内

明 者 山 部 紀久夫 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究

© 発明者 山部 紀久夫 神奈川県川崎市幸区小河東之町 1 保女会社東之紀台町元 所内

⑦発 明 者 塩 沢 顔 一 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究 所内

**②出 顯 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地** 

四代 理 人 弁理士 則近 懲佑 外1名

明報音

1. 班明の名称

半選体装置の製造方法

2. 特許超求の範囲

① 基板に多数量シリコン酸を形成する工程と、 該多額量シリコン既上に絶球膜を形成するに当り、 一旦非滑減いはその化合物を含む酸化球面気中で 該多板量シリコン既上に無敗化膜を形成する工程 と、を含む半導体数因の望遠方法。

② 前記熟酸化酸の形成における酸化雰囲気中の非常吸いはその化合物の態度は1ppa 以上であることを特徴とする特許調求の範囲第1項記載の半路体裝置の製造方法。

(2) 前記然酸化膜の形成における酸化温度は 600で以上 1000で以下であることを特徴とする特 許研求の領頭第1項記載の半導体質型の製造方法。

20 前記多組品シリコン製上の勘機化図を総理 観として残すことを特徴とする特許額求の報酬第 1項記載の半選体施図の製造方法。

向 前記急頭化膜をエッチング胎去した後、前

記無限化度の兼会された多級品シリコン頭上に絶 緑質を形成することを特徴とする特許哲学の短頭 多1項記載の半導体接触の競波方法。

3. 発明の評額な説明

(発明の目的)

(産業上の利用分野)

本発明は多額品シリコン課上の総政盟を改良した半導体装置の製造方法に関する。

(使来の技術)、

社会より単単体変数の1つで、フローティングゲートを有する HOS 福逸によって、電気的に書き込み可能な読み出しる用えるりとしてEPROM(Blactrical Programable Read Only Henory) がある。この数型では、通常フローティングゲートとしては多額量シリコン図が用いられる。しかしながら、多額品シリコン上に形成される熱酸化酸は早粧品シリコン基質上に形成される熱酸化酸は早粧品シリコン基質上に形成される熱酸化酸に比べて、電界印加時にリーク電資が著しく増大する欠点がある。このため記憶保持物性が等しく低下する問題があった。

設定PROMの他に、キャパンタとトランジスタを組み合せて情報の配位動作を行うDRAM(Dynamic Randos Access read vrite Benery) がある。このDRAMにおいては、限られた面積でサラなメモリキはを持るためにセル気域なられた面積では、対容積が少なといる。通常のセルではシリコンが接に気質が容積されている。通常のセルではシリコンが接に気質が容積されていたが、スタックトキャパンタセルでは視み上げられた多緒よりコンをに関係が顕著される。したがって、キャパンタ検験医多数最少リコンの関にである。

#### (発明が解決しようとする問題点)

以上述べたように多結晶シリコン膜上に超級膜を用いる PPROMやスタックトキャパシタセルを有する DRAMにおいてはリーク健強が増大するため 記憶保持特性が寄しく性下する問題が生じる。本現頃は上述した欠点を解消する半導体装置を提供することを目的とする。

(発明の構成)

とができる。非常式いはその化合物を含む雰囲気中で熱酸化を行うと、低い温度でも酸化速度が大きく、酸化酶中には高速度の非常がとり込まれるため、酸化酶の可思性が限し、S1~S10。非面はなめらかに酸化される。通常の熱酸化の場合には十分に高度の場合にのみ粘性低酸が低下するが、高温においては酸化時に結晶效の成長による形状度化を作うためS1~S10。非面はかならずしもなめらかな形状にはならない。

点、 (問題を解決するための手段)

上述した目的を達成するために、本希明では多額品シリコン園を形成後、一旦売到又はその化合物を含む酸化野園気中で無酸化を行った後その無酸化園をエッチング競会し、しかる後に所知の機能園を多額品シリコン園上に形成することを特徴としている。

#### (作 用)

基ンリコンの結晶を支持の未給合シリコンと組合 するため、上記の問題は若しく低減される。

#### (実質例)

以下、本発明による一支施例を図面を参照して 詳細に説明する。第1間はその実施例として熱酸 化臓をキャパンタ地な図として利用したスタック トキャパンタセルを有するDRAMの製造工程を 示す際図のである。

先す。第1回(a)に示すように比比抗10g・meを有し、 袋面が (100) 面であるp 並のシリコン基 観 (100) 面であるp 並のシリコン基 観 (100)上に、数子間分離を行うための例えば脱酸化 成のを選択的に形成し、その後ゲート数化間となる 第1のa・型polysixのを形成した後、通常の平 文倉知工程を経てパターニングを行う。 その後、首記ゲートに対して自己整合的にイオン住入法によりa・型 (200)を形成する。

次に第1回(b) に示すように呼い CVD 単化臨臼 を全国に形成した後、通常の写真会刻工器を経て 前記a<sup>-</sup>型層筒の一部と接続する関ロ部のを形成す ъ.

次に第1回(a) に示すように全面に第2のa<sup>4</sup>型 Polysi函のを形成した後、800でで50ppaの MF。を 含んだ改当中30分で一旦、観性放化函のを形成す

しかる後に、第1回(d) に示すように酸化四切 をエッチング始去し、過分の写真食気工器を経て、n・型polysi額のを所扱のパターンにパターンニングし、その後、キャパンタ酸化図となる熱酸化図 (10)を形成する。

及後に、第1図(e)に示すようにキャパシタ電役となる第3のn<sup>↑</sup>型polysi図(ii)を全面に形成後、 透常の写其食材工器を通てパターニングすること によって図に示す如くメモリセルを完成する。

ここで、穏地政化の様子を第2図(a)~(q)を用いてより辞組に設明する。

第2週は第1週のpolysi頭の部分の詳細な形状を示す解面図である。まず、酸化図の上に形成したpolysi図の表面は、 第2週(a)に示すように触数の結晶粒により凹凸(20)が存在し内部には結晶

世(21)が存在している。次に、このpolysi以降を
800で、\$0ppa #F,を含む酸對中で凝化すると、多
型の第書原子(23)がpolysi既的上に形成される限
化應中にとり込まれるため、前窓酸化膜(22)の可
塑性が増し応力の級和がなされる。このための・
型polysi配の吸吸はなめらかに酸化される。又、それと同時に、n・型polysi膜の中にも非消滅子(23)が入り込み結晶を(21)の境界に存在する未結合する。これによってn・型polysi感的中のドナー型不規物が結晶を境界に行出することは
なくなり、この後形成されるキャパンタ酸化膜の
特性を向上させることができる。その後、何記酸化膜(22)をエッチング酸去すると第2図(c)に示する良好な質を得ることができる。

なお、上記実施例では低性酸化は800で、50ppm BF。/0。 雰囲気で30分としたが、その条件はこの実質例に設定されるものではなく、成本等に応じて適宜変更することができる。また、上記実施例は等も、急酸化固をキャパシラ結及風に用いるスタックトキャパシラセルについて述べたが、これに

限念されるものではなく、本発明はpolysi表面の 凹凸、あるいはpolysi面上に形成する絶数感との 界面への前紀polysi中に含まれるドーパントの新 出が生じる半導体複数の製造方法に適用できる。 【発明の効果】

本意明により、多結晶シリコン酸表面の凹凸が 低減され、射記多結晶シリコン酸上に形成される 総縁酸との界面にドーパントが折出せず、このような工理を経て形成されるデバイスの電気的物性 を向上せしめることができる。

#### 4. 四面の簡単な説明

第1回は本発明による一类施例を示す製造工趣 新面図、第2例は本発明による支施例の効果を観 型するための新面質である。

- 1mシリコン益収、
- 2 … 漢子分離用酸化阻。
- 3…ゲート酸化铽、
- 4 …第1のa<sup>+</sup>型多結品シリコン説、
- 5 -- 0 型用。
- · 6 -- CVD股化膜。

7一到口部。

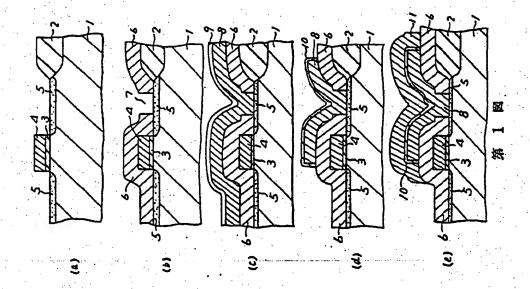
8一隻2のa\*型多線品シリコン類。

9一位住政化路.

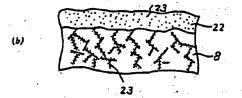
10…キャパシタ畝化譲、

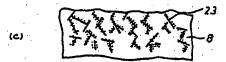
11…第3のc+型多額品シリコン膜.

23…非强压子。









第 2 図